

16869N-039000

日 本 国 特 許 庁

JAPAN PATENT OFFICE

2/ Priority
Paper
1-Step +ve
5-9-02

JC872 U.S. PTO

10/032761



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月21日

出 願 番 号

Application Number:

特願2001-150853

出 願 人

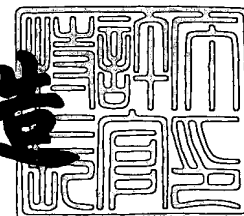
Applicant(s):

株式会社日立製作所
日立電子エンジニアリング株式会社

2001年 9月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3085603

【書類名】 特許願

【整理番号】 NT01P0152

【提出日】 平成13年 5月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立
製作所 生産技術研究所内

【氏名】 武智 啓三

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立
製作所 生産技術研究所内

【氏名】 大崎 昭雄

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立
製作所 生産技術研究所内

【氏名】 林 良彦

【発明者】

【住所又は居所】 東京都渋谷区東3丁目16番3号 日立電子エンジニア
リング株式会社内

【氏名】 村田 和彦

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233480

【氏名又は名称】 日立電子エンジニアリング株式会社

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 負荷電流出力回路一体形ドライバ回路及、それを備えたピンエレクトロニクス IC 及び IC テスタ

【特許請求の範囲】

【請求項 1】

被試験デバイスに所定の試験波形を印加するドライバの機能と、前記被試験デバイスからの応答波形を受けて応答波形の状態を判定するために被試験デバイスへの負荷電流を受給し実使用状態を再現する負荷電流出力機能とを有し、両者の機能を共通回路で構成し、試験波形印可時にはドライバ回路として動作し、応答波形判定時には負荷電流出力回路として動作することを特徴とする負荷電流出力回路一体形ドライバ回路。

【請求項 2】

請求項 1 記載の負荷電流出力回路一体形ドライバ回路において、プッシュプル動作をするバッファ回路と、定電流部と、前記バッファ回路の出力端子及び前記定電流部に接続され、被試験デバイスに対して一方向または逆向の電流を供給することができる一方向導通素子で構成された電流制御部とを供え、前記定電流部の電流を制御してドライバ機能と負荷電流出力機能を持たせることを特徴とする負荷電流出力回路一体形ドライバ回路。

【請求項 3】

第 1 の出力端子を供える第 1 のバッファ回路と、第 2 の出力端子を供える第 2 のバッファ回路と、一対の第 3 及び第 4 の出力端子を有し、それぞれ第 1 及び第 2 の出力端子に接続されたダイオードブリッジ回路とを備え、被試験デバイスへ試験波形を出力するときには、ドライバとして第 4 の出力端子から電流を供給し、前記被試験デバイスからの応答波形を受けて応答波形の状態を判定するときには、前記第 2 のバッファ回路をオフして前記第 4 の出力端子から前記被試験デバイスへ負荷電流を供給することを特徴とする負荷電流出力回路一体形ドライバ回路。

【請求項 4】

請求項 3 記載の負荷電流出力回路一体形ドライバ回路において、前記第 1 及び

第 2 のバッファ回路をプッシュプル動作のボルテージフォロワで構成し、前記第 1 のバッファ回路の最終段トランジスタのオン、オフを制御する第 1 のスイッチ回路と、第 2 のバッファ回路の最終段トランジスタのオン、オフを制御する第 2 のスイッチ回路とを備え、被試験デバイスへ試験波形を出力するときには前記第 1 及び前記第 2 のスイッチ回路によって、前記第 1 及び第 2 のバッファ回路を動作させて前記第 1 及び前記第 2 のバッファ回路の両方の出力から電流を供給し、前記被試験デバイスからの応答波形を受けて応答波形の状態を判定するときには前記第 2 のスイッチ回路によって前記第 2 のバッファ回路を非動作状態とし、前記第 1 のバッファ回路を前記第 1 のスイッチ回路によって制御して、前記第 1 のバッファ回路と前記ダイオードブリッジによって被試験デバイスに負荷電流を供給することを特徴とする負荷電流出力回路一体形ドライバ回路。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかに記載の負荷電流出力回路一体形ドライバ回路を備えることを特徴とするピンエレクトロニクス IC。

【請求項 6】

請求項 1 乃至請求項 4 のいずれかに記載の負荷電流出力回路一体形ドライバ回路を備えることを特徴とする IC テスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電子デバイスへの負荷電流出力機能を備えるドライバ回路および IC テスタに係り、特に、負荷電流出力回路とドライバ回路の両方の機能を備えながら、回路規模およびチップ面積は両者を合わせた規模および面積より低減でき、さらに、消費電力は両者を合わせた消費電力よりも低減することが可能な負荷電流出力回路一体形ドライバ回路、それを備えたピンエレクトロニクス IC 及び IC テスタおよび IC テスタに関する。

【0002】

【従来の技術】

IC テスタでは、所定の端子に試験波形を印加し、所定の時間後に半導体等の

被試験デバイス（以下DUT）の出力端子（あるいは入出力端子、以下同じ）から出力された応答波形について、HIGHレベル（以下“H”）か、LOWレベル（以下“L”）かを、所定のタイミングで発生するストロブ信号に応じて判定回路で判定し（以下判定モード）、期待値と比較することでDUTの動作試験あるいは性能試験等を行う。この様に応答波形の状態を判定するとき、非終端デバイスに対しては、特定の出力端子に“H”、“L”の出力波形に応じてあらかじめ決められた電流値、例えば、数mAから数十mAの程度の負荷電流を供給して判定が行われる。そのためにICテスタには、判定モード時にDUTの出力端子に負荷電流を供給する負荷電流出力回路が設けられている。

この負荷電流出力回路は、通常、内部のダイオードスイッチ回路を介して出力端子に接続状態にされている。この負荷電流出力回路は、判定モード時にのみ動作するもので、出力端子に接続されたドライバが動作し、電圧を印可している最中に、負荷電流を出力することはない。

【0003】

図9は従来のICテスタのピンエレクトロニクスの回路構成図である。ピンエレクトロニクス2は、被試験デバイス（以下DUT）25の所定の端子に、あらかじめ設定された電圧を印加するためのドライバ20、出力抵抗23、DUT25から出力された応答波形の状態を判定するコンパレータ21、DUT25からの応答波形を得るときに、その端子に所定の負荷電流を供給し、あるいは負荷電流を受ける（または、引出す）負荷電流出力回路28等とで構成される。DUT25は伝送線路24を介して、ドライバ20とコンパレータ21と負荷電流出力回路28とに接続されている。このようなピンエレクトロニクス回路がそれぞれデバイスのI/Oピン数×測定デバイス数だけ用意され、複数のDUTに対してそれぞれの応答波形（出力端子からの出力波形）を同時にレベル判定している。

【0004】

図10は従来のドライバの出力バッファ回路である。出力バッファ回路は、トランジスタQ1、Q2で構成される入力段プッシュプル回路と、このプッシュプル回路の位相出力を受けるトランジスタQ3、Q5で構成される第1の出力段バッファアンプ、トランジスタQ4、Q6で構成される第2の出力段バッファアンプ

プから成る。ドライバの最大出力電流は60mAであり、トランジスタQ5、Q6には、最大で60mAの電流が流れる。

【0005】

図11は従来の負荷電流出力回路の電流バッファ回路である。電流バッファ回路は、ダイオードD1、D2、D3、D4、トランジスタQ1、Q2から構成される入力段プッシュプル回路、このプッシュプル回路の位相出力を受けるトランジスタQ3、Q4から構成される出力段バッファアンプ、ダイオードD5、D6、D7、D8のブリッジ回路から構成されるダイオードスイッチ回路から成る。負荷電流の最大出力は25mAであり、トランジスタQ3、Q4およびダイオードD5、D6、D7、D8には、最大で25mAの電流が流れる。なお、この実施例ではダイオードD5～D8から構成されるダイオードブリッジ回路はディスクリートで構成されている。

【0006】

このように、従来技術ではドライバの出力バッファ回路と、従来の負荷電流出力回路の電流バッファ回路では、出力段バッファ部に多くの共通点がある。また、この両回路がドライバの動作時と負荷電流出力回路の動作時に重複して動作することはない。

【0007】

【発明が解決しようとする課題】

上記従来技術では、負荷電流出力回路とドライバ回路は、別チップで構成されているか、または、1チップ上にあっても別回路として構成されていた。しかし、このような構成では、近年のDRAMの大容量化や、高スループット化によるテストの効率向上へ向けたICテストの多ピン化により、多数のピンエレクトロニクス回路を使用する関係で、ICテストが大型化する問題がある。また、多ピン化による消費電力の増加が問題となる。

【0008】

従来技術では、ドライバの出力バッファ回路と、従来の負荷電流出力回路の電流バッファ回路では、出力段バッファ部に多くの共通点があり、また、この両回路がドライバの動作時と負荷電流出力回路の動作時に重複して動作することはない。

い。

【0009】

本発明はこの点に着目してなされたものであり、その目的とするところは、電子デバイスへの負荷電流出力回路とドライバ回路とを1チップに集積化する場合に、回路規模およびチップ面積を低減でき、低消費電力化することができる負荷電流出力回路一体形ドライバ回路、それを備えたピンエレクトロニクスIC及びICテストを提供することにある。

【0010】

【課題を解決するための手段】

このような目的を達成するため、この発明の負荷電流出力回路一体形ドライバ回路、それを備えたピンエレクトロニクスIC及びICテストは、電子デバイスへの負荷電流出力回路の機能とドライバ回路の機能を備え、前者の電流バッファ回路と後者の出力バッファ回路を共通回路とした共通バッファ回路でドライバ回路を構成するものである。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態を、幾つかの実施例を用い、図を参照して説明する。

図1は本発明によるICテストのピンエレクトロニクスの一実施例を示す回路構成図である。ピンエレクトロニクス200は、DUT25から出力された応答波形の状態を判定するコンパレータ21と、DUT25からの応答波形を得るときに、その端子に所定の負荷電流を供給し、あるいは負荷電流のシンク電流を受ける負荷電流出力回路の機能を備え、DUT25の所定の端子に、あらかじめ設定された電圧を印加するための負荷電流出力回路一体形ドライバ29等とで構成される。DUT25は伝送線路24を介して、負荷電流出力回路一体形ドライバ29とコンパレータ21とが接続されている。端子27にはコンパレータ21での比較結果が出力される。

【0012】

このピンエレクトロニクス200を用いて、DUT25をテストする場合の例

について説明する。DUT 25 の入力電圧にドライバ 29 から定電圧を供給し、DUT 25 の出力端子から電流を引きながら、即ち出力させながら、コンパレータ 21 により出力端子の電圧を基準電圧と比較することによって DUT 25 の良否を判定する。書き込み機能を持つ DUT 25 については、第 1 のテストで、DUT 25 の入力端子にドライバ 29 から定電圧を供給して書き込みを行う。第 2 のテストで、DUT 25 の所定の端子にドライバ 29 から定電圧を供給し、読み出し命令を実行し、DUT 25 の出力端子から電流を引きながら、出力端子の電圧を基準の電圧と比較し、DUT 25 の良否を判定する。このように、DUT 25 から所定の電流を引き出すのは、この DUT 25 に接続される負荷回路を擬似的に作るためである。

【 0 0 1 3 】

次に、図 1 に示したピンエレクトロニクスの具体的な回路について、図 2 を用いて説明する。

図 2 は本発明による負荷電流出力回路一体形ドライバ回路の一実施例を示す回路図である。図に示す負荷電流出力回路一体形ドライバ回路は、トランジスタ Q1、Q2 で構成される入力段プッシュプル回路と、このプッシュプル回路の位相出力を受けるトランジスタ Q3、Q5 で構成される第 1 の負荷電流出力回路用出力段バッファアンプと、トランジスタ Q4、Q6 で構成される第 2 の負荷電流出力回路用出力段バッファアンプと、入力段プッシュプル回路の位相出力を受けるトランジスタ Q3、Q7 で構成される第 1 のドライバ回路用出力段バッファアンプと、トランジスタ Q4、Q8 で構成される第 2 のドライバ回路用出力段バッファアンプと、ダイオード D1、D2、D3、D4 をブリッジ接続したダイオードスイッチ回路とを備えている。入力段プッシュプル回路のトランジスタ Q1、Q2 のエミッタ側にそれぞれ設けられたスイッチ S1、S2 は、それぞれバイアス電流を遮断する回路である。負荷電流出力回路用出力段バッファアンプのトランジスタ Q5、Q6 のベースと電源ライン Vcc、Vee との間にそれぞれ設けられたスイッチ S3、S4 は、それぞれの出力段トランジスタ Q5、Q6 をカットオフさせる回路である。また、ドライバ回路用出力段バッファアンプのトランジスタ Q7、Q8 のベースと電源ライン Vcc、Vee との間にそれぞれ設けられ

たスイッチS5、S6は、それぞれの出力段トランジスタQ7、Q8をカットオフさせる回路である。これらのスイッチS1～S6路は、制御信号によりオン／オフされて、負荷電流出力回路およびドライバ回路の入力と出力を切断する。なお、本実施例において、トランジスタQ3とQ3、トランジスタQ4とQ6はダーリントン接続されている。

【0014】

本構成において、スイッチS1及びS2はこのピンエレクトロニクスを備えるICテストを用いてDUTを試験する場合にオンにし、試験をしない場合には、電流の漏洩を防止するために、オフにしておく。

【0015】

ここで、スイッチS3をオンにすると、負荷電流出力回路用トランジスタQ5は、カットオフ状態になり、前段のトランジスタQ3との接続が切断される。また、スイッチS3をオフにすると、バイアス抵抗R1からベース電流が供給されてトランジスタQ5はオンになる。

スイッチS4をオンにすると、負荷電流出力回路用トランジスタQ6は、カットオフ状態になり、前段のトランジスタQ4との接続が切断される。また、スイッチS4をオンにすると、バイアス抵抗R2からベース電流が供給されてトランジスタQ6はオンになる。なお、抵抗R3はトランジスタQ6のベースと電源V_{ee}間に接続されている。バイアス抵抗である。

同様に、スイッチS5、S6をオンにすると、ドライバ回路用トランジスタQ7、Q8は、カットオフ状態になり、前段のトランジスタQ3、Q4との接続が切断される。一方、これらのスイッチがオフになれば、それぞれ、トランジスタQ7、Q8にバイアス抵抗R4、R5からベース電流が供給されるため、トランジスタQ7、Q8はオンになり、この回路は、バッファ動作を行う。なお、抵抗R6はトランジスタQ8と電源V_{ee}間に接続されているバイアス抵抗である。

【0016】

図2の回路をドライバ回路用出力段バッファとして使用する場合には、スイッチS3及びS5、またはスイッチS4及びS6がオフされる。即ち、出力端子OUTに“H”を発生する場合には、入力端子INに“H”の電圧が供給される。

この場合、スイッチ S 3 及び S 5 をオフ、スイッチ S 4、S 6 をオンにして、トランジスタ Q 3、Q 5 及び Q 7 をオンにし、トランジスタ Q 4、Q 6 及び Q 8 をオフにする。逆に、出力端子 O U T に電圧 “L” を発生させる場合には、入力端子 I N に電圧 “L” を供給し、スイッチ S 3 及び S 5 をオンにし、スイッチ S 4、S 6 をオフにして、トランジスタ Q 3、Q 5 及び Q 7 をオフにし、トランジスタ Q 4、Q 6 及び Q 8 をオンにする。

トランジスタ Q 3、Q 5、Q 7 をオンにすると、電源 V c c からトランジスタ Q 7 を通して D U T に電流が流れ、定電流部 2 3 からダイオード D 3 を通して D U T に電流が流れ、更に電源 V c c からトランジスタ Q 5、ダイオード D 2 を通して定電流部 2 4 に電流が流れ、出力端子 O U T の電圧は “L” になる。なお、出力端子 O U T から出力する電圧値に応じて定電流部の電流値を変えてもよい。このようにして、出力端子 O U T は定電圧に保たれる。

トランジスタ Q 4、Q 6、Q 8 をオンにすると、D U T からトランジスタ Q 8 を通して電源 V e e に電流が流れ、D U T からダイオード D 4 を通して定電流部 2 4 に電流が流れ、更に定電流部 2 3 からダイオード D 1、トランジスタ Q 6 を通して電源 V e e に電流が流れ、出力端子 O U T は “L” になる。なお、出力端子 O U T から出力する電圧値に応じて定電流部の電流値を変えてもよい。このようにして、出力端子 O U T は定電圧に保たれる。

【 0 0 1 7 】

負荷電流出力回路として使用する場合には、スイッチ Q 5、Q 6 をオンして、トランジスタ Q 7、Q 8 をオフさせる。また、D U T に電流を供給する場合には、トランジスタ Q 3、Q 5 をオンさせ、トランジスタ Q 4、Q 6 をオフさせる。逆に、D U T からこの負荷電流出力回路に電流を流入させる場合には、トランジスタ Q 3、Q 5 をオフさせ、トランジスタ Q 4、Q 6 をオンさせる。

出力端子 O U T、すなわち、D U T の端子電圧が、負荷電流出力回路一体形ドライバ回路の入力端子 I N の設定電圧より低いときには、言い換えれば、D U T が、“L” の出力信号を発生したときには、ダイオードスイッチ回路の第 1 の端子 1 が第 2 の端子 2 よりも高いので、ダイオード D 1 と D 4 がオフになり、ダイオード D 2 と D 3 がオンになる。その結果、出力バッファアンプのトランジスタ

Q5の出力電流がダイオードD2を介して、外部からの制御信号により所望の電流値に制御される定電流部24へと流れる。さらに、所望の電流値に制御される定電流部23からの電流がダイオードD3を介し、出力端子OUTを経由してDUTへと流れ、負荷電流を出力する働きをする。

【0018】

負荷電流出力回路一体形ドライバ回路の出力端子OUT、すなわち、DUTの端子電圧が、負荷電流出力回路一体形ドライバ回路の第1の端子Iの設定電圧より高いときには、言い換えれば、DUTが、“H”の出力信号を発生したときには、ダイオードスイッチ回路の第1の端子1が第2の端子2よりも低くなるので、ダイオードD1とD4がオンになり、ダイオードD2とD3がオフになる。その結果、前記定電流部23の電流は、ダイオードD1を通して出力バッファアンプQ6へと流れる。さらに、DUTから電流が出力端子OUTを経由し、ダイオードD4を介して前記定電流部24へと流れ、負荷電流を引き込む働きをする。

【0019】

この回路を評価するため、SPICEシミュレーションを行った。その結果を、図3を用いて説明する。

図3は本発明を適用した負荷電流一体形ドライバ回路のドライバ出力波形と負荷電流出力回路のオン／オフ波形を示す図であり、図3(a)は負荷電流出力回路のオン／オフ波形図、図3(b)はドライバ波形図である。図4は従来のドライバ回路のドライバ出力波形と負荷電流出力回路のオン／オフ波形を示す図であり、図4(a)は負荷電流出力回路のオン／オフ波形図、図4(b)はドライバ波形図である。いずれの波形図においても、横軸に時間(ns)を示し、縦軸に電圧(V)を示す。

負荷電流出力回路は、主に、負荷電流出力のオン／オフ切替時間と任意に設定した電流値を正しく出力する出力電流精度とで評価を行う。図3(a)および図4(b)において、オン／オフ波形は、設定電流を $\pm 25\text{ mA}$ 、 $\pm 16\text{ mA}$ 、 $\pm 10\text{ mA}$ に設定して出力の波形を重ね書きしたものである。図3(a)において、31a、31bはそれぞれ設定電流が $+25\text{ mA}$ 、 -25 mA の場合の電圧特性曲線を、32a、32bはそれぞれ設定電流が $+16\text{ mA}$ 、 -16 mA の場合

の電圧特性曲線を、33 a、33 bはそれぞれ設定電流が+10 mA、-10 mAの場合の電圧特性曲線を示す。同様に、図4 (a)において、41 a、41 bはそれぞれ設定電流が+25 mA、-25 mAの場合の電圧特性曲線を、42 a、42 bはそれぞれ設定電流が+16 mA、-16 mAの場合の電圧特性曲線を、43 a、43 bはそれぞれ設定電流が+10 mA、-10 mAの場合の電圧特性曲線を示す。

図3 (a)と図4 (a)から明らかなように、負荷電流出力回路に関しては従来と同等の性能を得ることができる。

【0020】

ドライバ波形は、設定振幅を0.8 V、1.2 V、1.6 Vに設定して、出力の波形を重ね書きしたものである。図3 (a)において、34は設定振幅を0.8 Vの場合の電圧特性曲線を、35は設定振幅を1.2 Vの場合の電圧特性曲線を、36は設定振幅を1.6 Vの場合の電圧特性曲線を示す。同様に、図4 (b)において、44は設定振幅を0.8 Vの場合の電圧特性曲線を、45は設定振幅を1.2 Vの場合の電圧特性曲線を、46は設定振幅を1.6 Vの場合の電圧特性曲線を示す。

図3のドライバの特性曲線34～36において、波形が立ち上がる時のオーバーシュートは、伝送線路の損失により波形が欠けるのを防止するために設けたオーバーシュート発生回路によるものである。また、波形の立ち上がり時間は、高速化する被試験デバイスに向けて、約2倍に高速化している。ドライバ回路に関してもLSIテストに適用可能な性能を得ることができる。

【0021】

図5は負荷電流一体形ドライバ回路と従来のドライバ回路及び負荷電流出力回路のシミュレーション結果をまとめテーブルである。消費電力は、従来のドライバ回路と負荷電流出力回路の消費電力の合計が7.1 Wであるのに対し、負荷電流一体形ドライバ回路では4.5 Wである。さらに、チップ面積では、従来のドライバ回路が $3.7 \times 3.7 \text{ mm}^2$ 、負荷電流出力回路が $3.0 \times 3.0 \text{ mm}^2$ であり、面積の総計が 22.69 mm^2 となるのに対し、負荷電流一体形ドライバ回路では $4.0 \times 4.0 \text{ mm}^2$ である。また、実装面積も従来のドライバ回路と

負荷電流出力回路の合計が 690 mm^2 となるのに対して、本実施例の負荷電流一体形ドライバ回路では 460 mm^2 となり、大きく異なる。

この様に、回路の性能は従来と同等で、消費電力およびチップ面積を低減できる。チップ面積の低減は、小形パッケージへの搭載が可能となり、実装面積の低減にもつながる。

【0022】

図2の実施例において、ドライバ出力時の出力電流供給方法は、スイッチS3、S4、S5、S6をオフにして、ドライバ出力電流をトランジスタQ7、Q8と、ダイオードD1、D2、D3、D4の両方から供給しても良いし、スイッチS5、S6をオフにしてQ7、Q8からのみ出力電流を供給しても良い。大きなドライバ出力電流を得るためには、後者の方式では、トランジスタQ7、Q8のトランジスタサイズが大きくなることから、出力電流を分けて供給できる前者の方式が有利であるが、いずれの実施例をも利用することができる。

【0023】

図6は本発明による負荷電流出力回路一体形ドライバ回路の他の実施例を示す回路図である。この実施例では、負荷電流出力回路とドライバ回路の出力段バッファンプを共通のトランジスタQ5、Q6で構成している。また、スイッチS3、S4をオフすることによって、トランジスタQ5、Q6はオンとなることは図2の実施例の場合と同様であり、第1の端子1の電圧が第2の端子2より低い場合にはダイオードD1、D4がオンになり、第1の端子1の電圧が第2の端子2の電圧より高い場合には、ダイオードD2、D3がオンすることも図2の実施例と同様である。

本実施例では、負荷電流出力回路として動作する場合も、ドライバ回路として動作する場合にもトランジスタQ3～Q6、ダイオードD1～D4の動作は同じである。出力端子OUTを“L”に設定する場合には、スイッチS3をオフにし、スイッチS4をオンにすることによって、トランジスタQ3、Q5をオンにし、トランジスタQ4、Q6をオフにする。この場合、ダイオードD2、D3がオンになり、電源VccからトランジスタQ5、ダイオードD2を通して電流がながれ、更に、定電流部23から出力端子OUTを通してOUTに電流が流れる

。出力端子OUTを“H”に設定する場合には、スイッチS3をオンにし、スイッチS4をオフにすることによって、トランジスタQ4、Q6をオンにし、トランジスタQ3、Q5をオフにする。この場合、ダイオードD1、D4がはオンになり、定電流部23からダイオードD1、トランジスタQ6を通して電源Veeに電流が流れ、更に、DUTからダイオードD4を通して定電流部24に電流が流れる。この実施例では、ドライバ回路として使用する場合には、定電流部23、24の電流値を、例えば0～65mAの間で変化させて出力端子OUTに必要な電圧を発生させるようにし、負荷電流出力回路として使用する場合には、定電流部23、24を例えば0～±25mAの間で変化させて、必要な電流をDUTに流出し、または、DUTからこの一体形ドライバ回路に電流を流入する。

【0024】

図7は図2と図6の回路方式における最終段出力バッファ回路のみのシミュレーション結果を示すテーブルである。図に示すように、図6の回路方式の場合、図2の回路方式より部品点数が減る。しかし、図2の回路方式のダイオードブリッジに流す電流は、負荷電流出力の最大電流であり、消費電力は700mWであるのに対し、図6の回路方式では、それよりも大きいドライバの最大電流をダイオードに流す必要があるため、消費電力は1500mWとなるため、ダイオードサイズが大きくなり、チップ面積、即ち部品の占有面積はほとんど同じになる。さらに、サイズの大きいダイオードを用いるため、図2の実施例では立ち上がり時間が200psであるのに対して、図6の実施例では、ドライバ出力波形の立ち上がり時間が300psと遅くなる。また、消費電力は、ドライバ動作時にもダイオードに電流を流すため図2の回路方式より大きくなり、最終段出力バッファ回路のみで比較すると約2倍の消費電力が必要となる。

【0025】

図8は本発明による負荷電流出力回路一体形ドライバ回路を備えたICテストの一部構成を示すブロック図である。図8において、ICテストは制御コンピュータ11、モニタ12、プリンタ13、基準信号発生器14、タイミング発生器15、パターン発生器16、比較した結果を記憶するフェイルメモリ17、デジタルコンパレータ18、波形フォーマッタ19、負荷電流出力回路一体形ドライ

バ 2 9、アナログコンパレータ 2 1、リファレンス電圧発生器 2 2、により構成される。基準信号発生器 1 4 は、試験波形の時間基準となる基準クロック 1 4 a を発生する。タイミング発生器 1 5 は基準クロック 1 4 a を、テストバス 2 6 を介して設定されるタイミング設定信号 2 6 b にしたがって基準クロック 1 4 a を計数し、所望の周期、時間遅れをもつフェーズ信号 1 5 a、1 5 b、1 5 c を生成する。パターン発生器 1 6 はタイミング発生器 1 5 からの、フェーズ信号 1 5 b のタイミングでパターンデータ信号 1 6 a を発生する。波形フォーマッタ 1 9 はタイミング信号 1 5 a のタイミングでパターンデータ信号 1 6 a を論理合成して被試験デバイスを試験するためのテスト波形 1 9 a を生成する。負荷電流出力回路一体形ドライバ 2 9 はテスト波形 1 9 a をリファレンス電圧発生器 2 2 から入力される波形設定レベル信号 2 2 a にしたがったハイレベル、ローレベルのテスト波形 2 9 a に波形整形し、伝送線路 2 4 を介して、DUT 2 5 に印加する。アナログコンパレータ 2 1 は DUT 2 5 の応答波形 2 5 a を、伝送線路 2 4 を介して入力し、フェーズ信号 1 5 c のタイミングで、リファレンス電圧発生器 2 2 で発生した比較電圧 2 2 a と比較し、比較結果 2 1 a を出力する。このとき、負荷電流出力回路一体形ドライバ 2 9 は、DUT 2 5 の出力端子に所定の負荷電流を供給、あるいは負荷電流としてシンク電流を受ける負荷電流出力回路となる。また、デジタルコンパレータ 1 8 はアナログコンパレータ 2 1 で比較した DUT 2 5 の応答波形 2 1 a と良品の応答である期待値信号 1 6 b をフェーズ信号 1 5 c のタイミングで比較し、良否判定を行う。フェイルメモリ 1 7 は DUT 2 5 の良否判定した判定結果 1 8 a を格納し、試験終了後にテストバス 2 6 を介して判定結果 2 6 d を制御コンピュータ 1 に出力する。上記の動作を DUT 2 5 の各ピン毎同時に行い、DUT 2 5 の良否判定が完了する。

【 0 0 2 6 】

上記構成において、本発明における負荷電流出力回路一体形ドライバ回路を備えたピンエレクトロニクスを適用することによって、低消費電力で小形かつ低価格な IC テスタを実現できる。

【 0 0 2 7 】

以上説明してきたが、実施例のダイオードブリッジは、トランジスタにより形

成されるダイオードであってもよい。また、実施例の出力段バッファアンプは、PNPトランジスタとNPNトランジスタで構成されるインバーテッドダーリントンに限定されない。

【0028】

以上述べたように、本発明による、負荷電流出力回路一体形ドライバ回路は、被試験デバイスに所定の試験波形を印加するドライバの機能と、前記被試験デバイスからの応答波形を受けて応答波形の状態を判定するために被試験デバイスへの負荷電流を受給し実使用状態を再現する負荷電流出力機能とを有し、両者の機能を共通回路で構成し、試験波形印可時にはドライバ回路として動作し、応答波形判定時には負荷電流出力回路として動作する。

【0029】

この負荷電流出力回路一体形ドライバ回路では、プッシュプル動作をするバッファ回路と、定電流部と、前記バッファ回路の出力端子及び前記定電流部に接続され、被試験デバイスに対して一方向またはそれとは逆の方向の電流を供給することができる一方向導通素子で構成された電流制御部とを供え、前記定電流部の電流を制御してドライバ機能と負荷電流出力機能を持たせる。この電流制御部は例えば、ダイオードブリッジ回路で構成され、一対の端子の一方がバッファ回路に接続され、他方が被試験デバイスと接続される出力端子として構成され、他の一対の端子に定電流部が接続される。

【0030】

このように、本発明では、電子デバイスへの負荷電流出力回路の機能とドライバ回路の機能を備え、前者の電流バッファ回路と後者の出力バッファ回路を共通回路とすることで、電子デバイスへの負荷電流出力回路とドライバ回路の両方の機能を備えながら、回路規模およびチップ面積は両者を合わせた規模および面積より低減することができる。その結果、ドライバと負荷電流出力回路を含むピンエレクトロニクス回路の実装面積を低減することができる。消費電力は両者を合わせた消費電力よりも低減することができ、発熱量を低減することができる。

【0031】

さらに、小形かつ低価格なピンエレクトロニクス回路となり、多数のピンエレ

クトロニクス回路を使用する I C テスタの小形化、低消費電力化が実現でき、低消費電力化による発熱量の低減ができる。

【 0 0 3 2 】

【発明の効果】

以上述べたように、この発明によれば、電子デバイスへの負荷電流出力回路とドライバ回路の両方の機能を備えながら、回路規模およびチップ面積は両者を合わせた規模および面積より低減でき、消費電力は両者を合わせた消費電力よりも低減することができる。その結果、実装面積を低減することができ、発熱量を低減することができる。

【 0 0 3 3 】

【図面の簡単な説明】

【図 1】

本発明による I C テスタのピンエレクトロニクスの一実施例を示す回路構成図である。

【図 2】

本発明による負荷電流出力回路一体形ドライバ回路の一実施例を示す回路図である。

【図 3】

本発明を適用した負荷電流一体形ドライバ回路のドライバ出力波形と負荷電流出力回路のオン／オフ波形を示す図である。

【図 4】

従来のドライバ回路のドライバ出力波形と負荷電流出力回路のオン／オフ波形を示す図である。

【図 5】

負荷電流一体形ドライバ回路と従来のドライバ回路及び負荷電流出力回路のシミュレーション結果をまとめテーブルである。

【図 6】

本発明による負荷電流出力回路一体形ドライバ回路の他の実施例を示す回路図である。

【図 7】

図 2 と図 6 の回路方式における最終段出力バッファ回路のみのシミュレーション結果を示すテーブルである。

【図 8】

本発明による負荷電流出力回路一体形ドライバ回路を備えた IC テスタの一部構成を示すブロック図である。

【図 9】

従来の IC テスタのピンエレクトロニクスの回路構成図である。

【図 10】

従来のドライバの出力バッファ回路である。

【図 11】

従来の負荷電流出力回路の電流バッファ回路である。

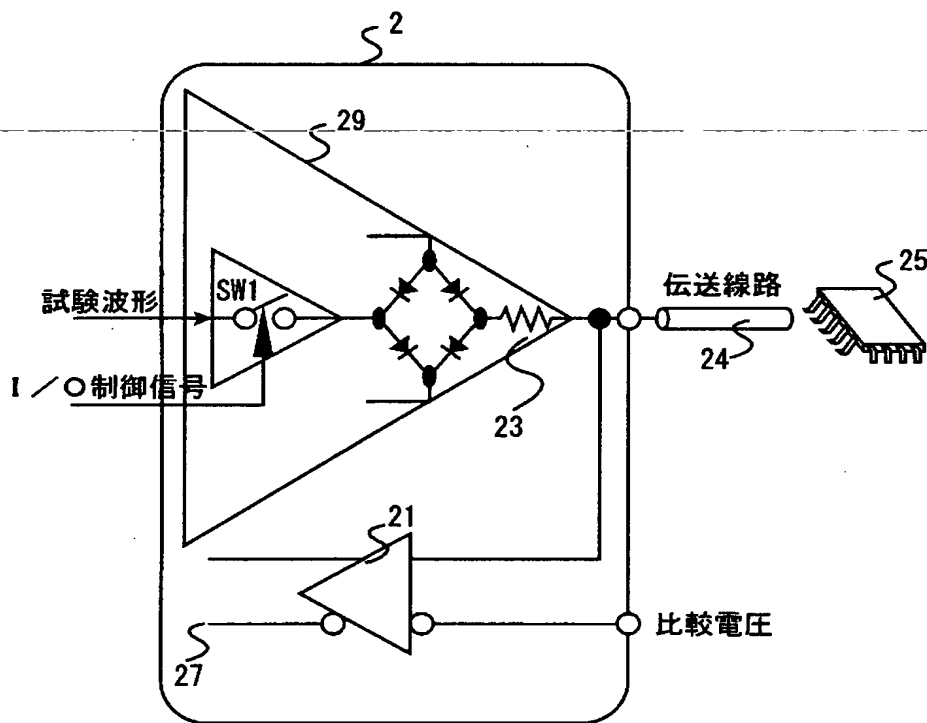
【符号の説明】

2…ピンエレクトロニクス、11…コンピュータ、12…モニタ、13…プリンタ、14…基準信号発生器、15…タイミング発生器、16…パターン発生器、17…フェイルメモリ、18…デジタルコンパレータ、19…波形フォーマッタ、20…ドライバ、21…アナログコンパレータ、22…リファレンス電圧発生器、24…伝送線路、25…被試験デバイス、29…負荷電流出力回路一体形ドライバ。

【書類名】 図面

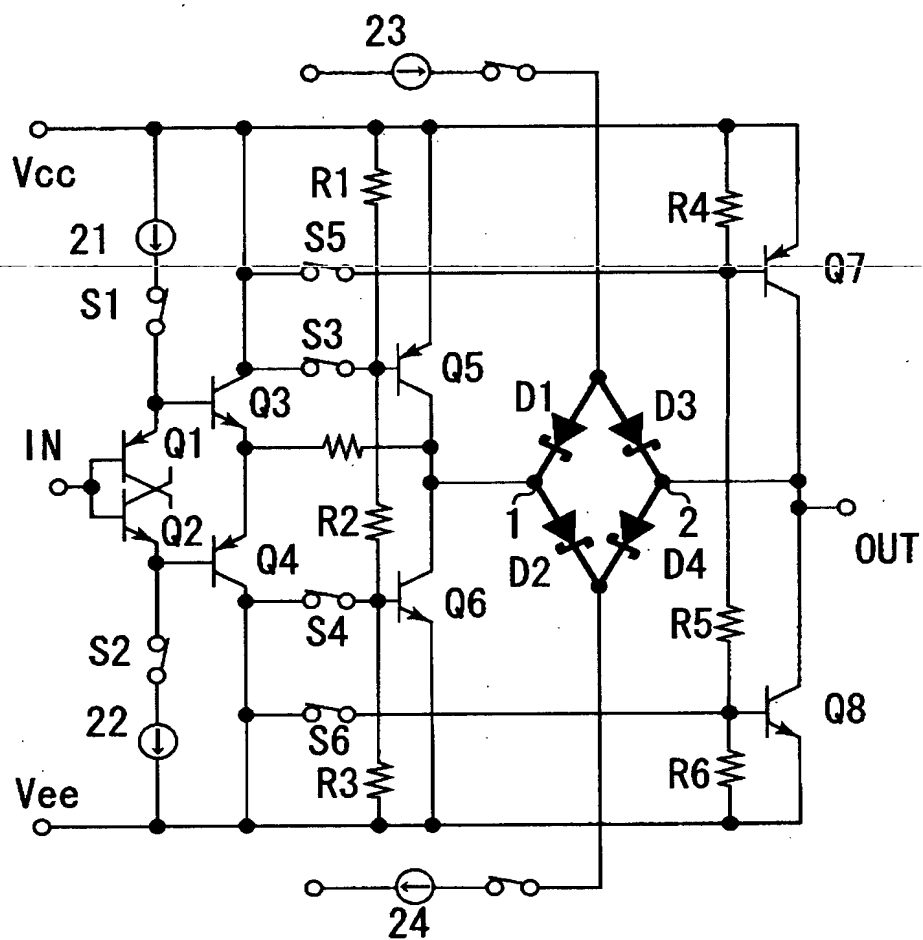
【図 1】

図 1



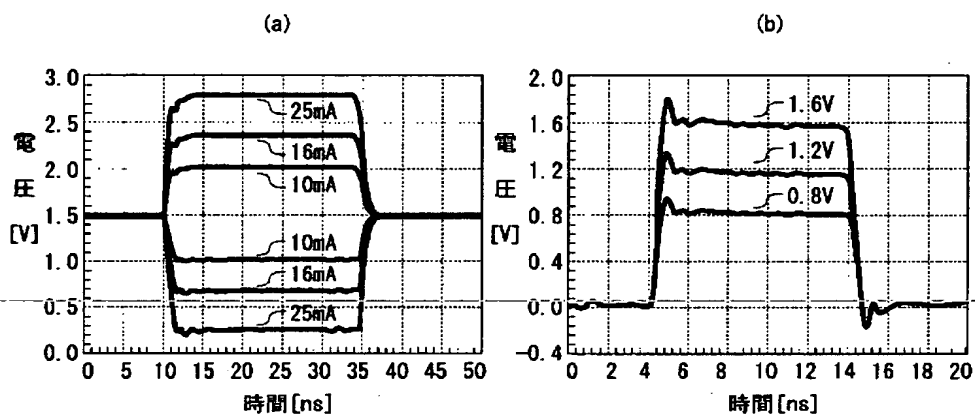
【図 2】

図 2



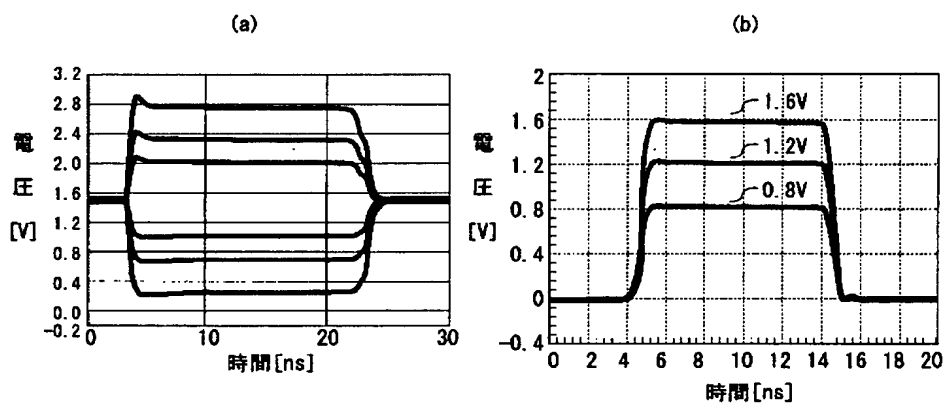
【図 3】

図 3



【図 4】

図 4



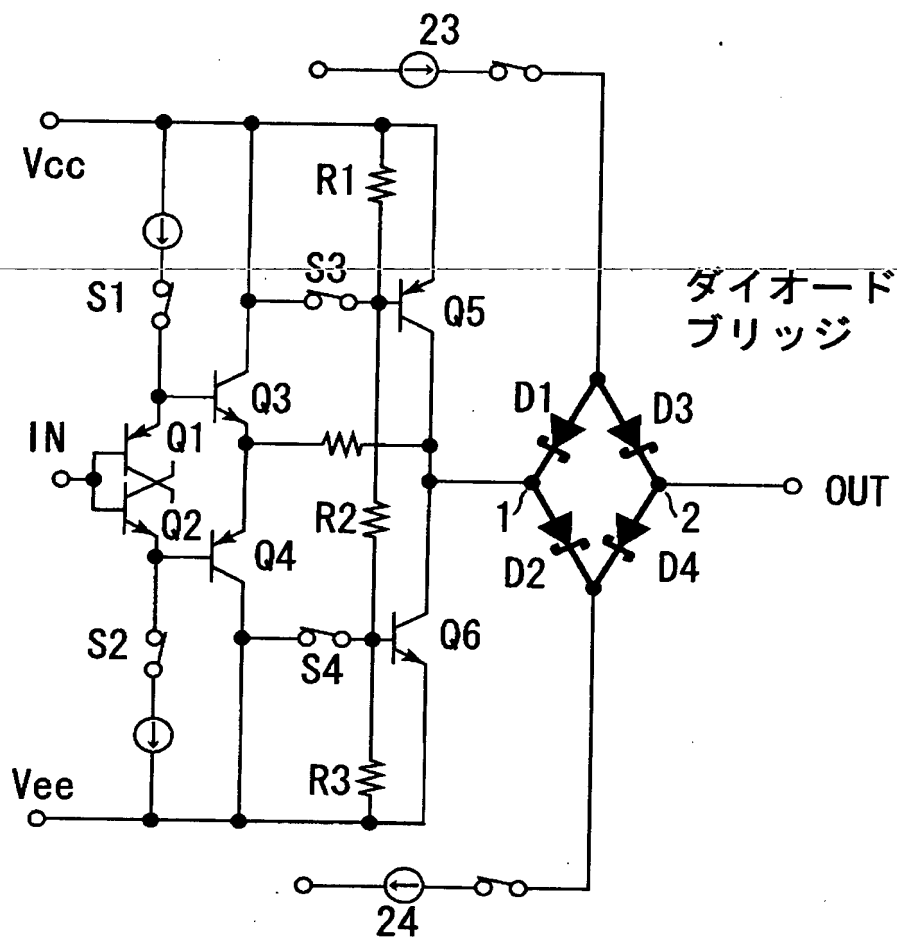
【図 5】

図 5

| 項目 | 一体型ドライバ | 従来 | |
|-------------------------|------------------|-------------------|------------|
| | | ドライバ | ダイナミック ロード |
| 消費電力 | 4.5W | 3.6W 7.1W | 3.5W |
| チップ面積[mm ²] | 4.0×4.0 =16.0 | 3.7×3.7 =22.69 | 3.0×3.0 |
| 実装面積[mm ²] | 460 | 690 | |

【図 6】

图 6



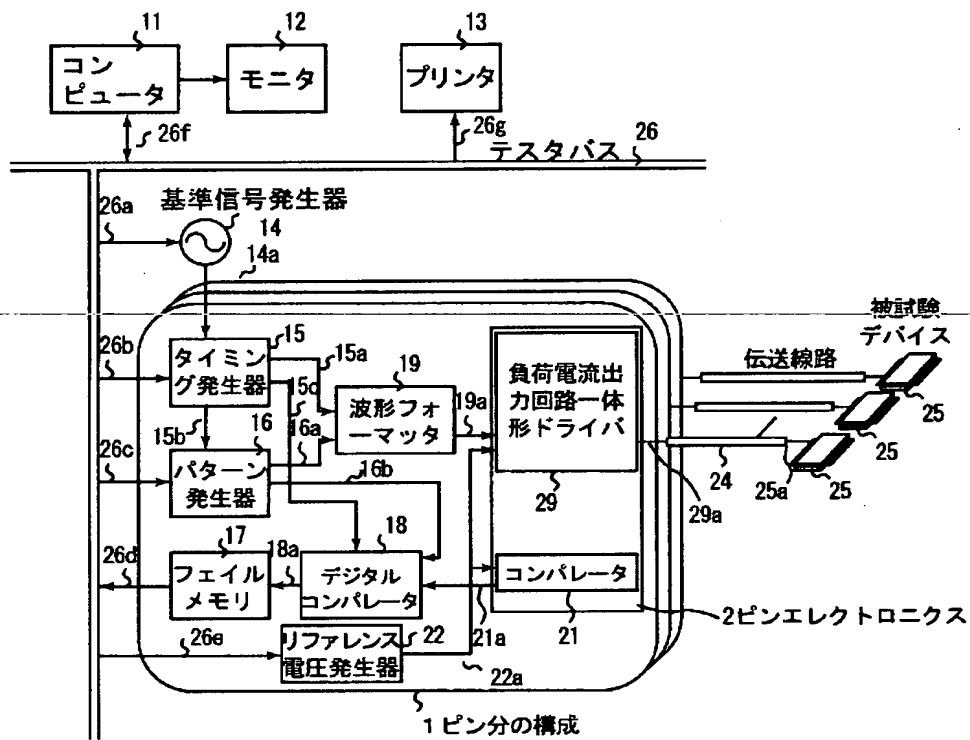
【図 7】

図 7

| 項目 | 図 2 の回路方式 | 図 3 の回路方式 |
|--------------------------|-------------|-------------|
| 消費電力 | 700mW | 1500mW |
| チップ面積 [mm ²] | 0.7 (従来1.0) | 0.7 (従来1.0) |
| 立上り時間 (1.6V) | 200ps | 300ps |

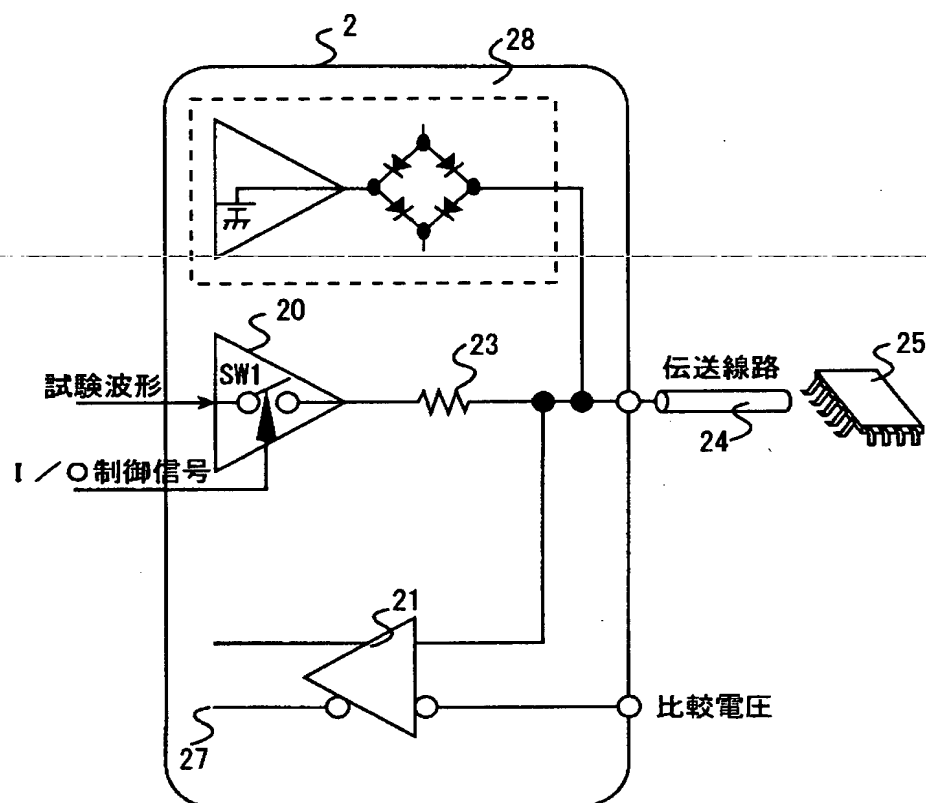
【図 8】

図 8



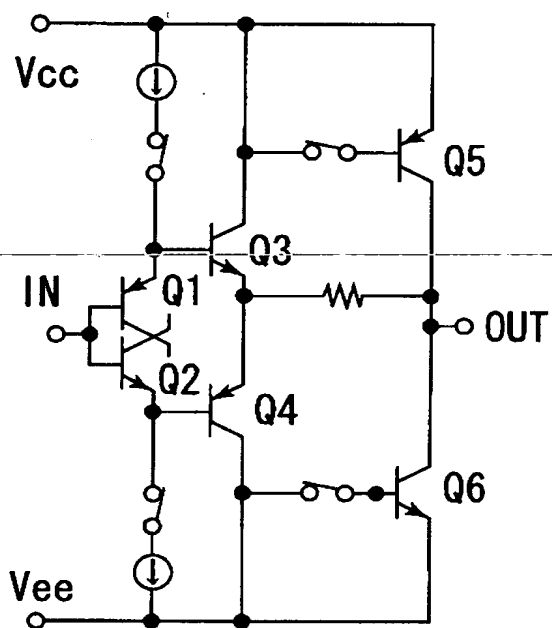
【図 9】

図 9



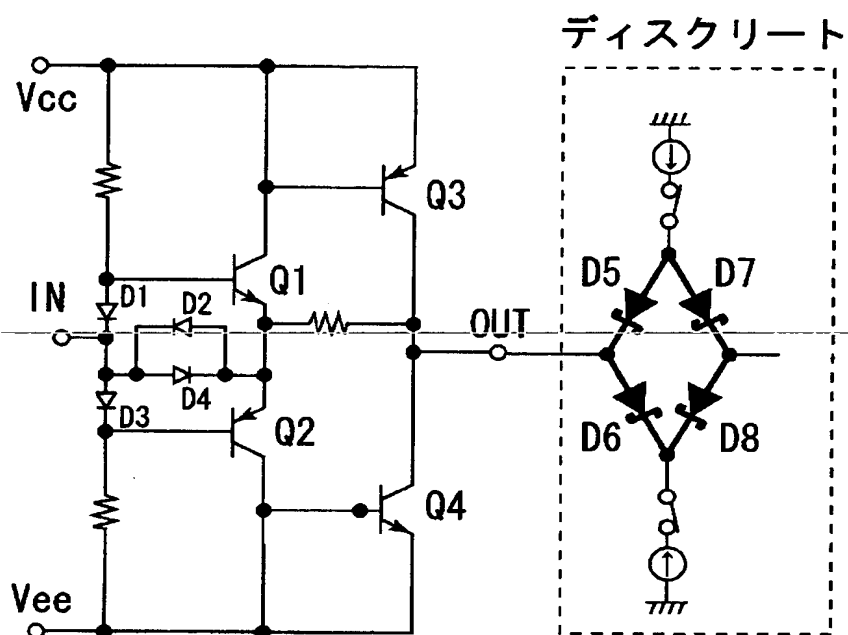
【図10】

図10



【図 11】

図11



【書類名】 要約書

【要約】

【課題】 電子デバイスへの負荷電流出力回路とドライバ回路とが1つのICに集積化され、回路規模およびチップ面積を低減でき、低消費電力化することができる負荷電流出力回路一体形ドライバ回路およびICテストを提供することにある。

【解決手段】 電子デバイスへの負荷電流出力回路の機能とドライバ回路の機能を備え、両者を共通回路で構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233480]

1. 変更年月日 1994年 9月20日
[変更理由] 住所変更
住 所 東京都渋谷区東3丁目16番3号
氏 名 日立電子エンジニアリング株式会社
